

APPARATUS FOR CONTROLLING CUMULATIVE TIME OF PHOTOELECTRIC CONVERTER ELEMENT ARRAY

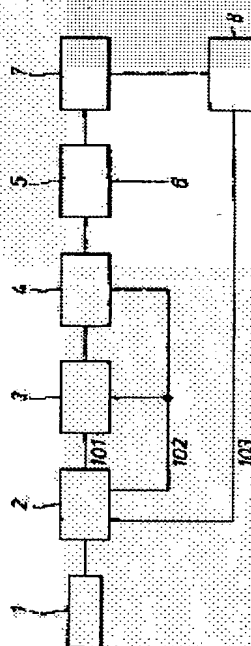
Patent number: JP63204131
Publication date: 1988-08-23
Inventor: NAKAMURA YASUSHI
Applicant: OLYMPUS OPTICAL CO
Classification:
- international: G01J1/44; G01M11/02; H04N5/335
- european:
Application number: JP19870036439 19870219
Priority number(s): JP19870036439 19870219

Report a data error here

Abstract of JP63204131

PURPOSE: To automate control and to make output voltage constant, by feeding back the frequency clock corresponding to the output voltage of an integration circuit to a drive circuit to control the cumulative time of a photoelectric converter element.

CONSTITUTION: In order to obtain the max. value of the sensor signal 101 generated from a photoelectric converter element array 1 by a drive circuit 2, a peak holding circuit 3 and a sample holding circuit 4 are reset in synchronous relation to the frame pulse 102 of the drive circuit 2 and the output of the circuit 4 is compared with the optimum reference value 6 by a comparator 5 to send deviation to an integrator 7 and deviation voltage integrated timewise is converted to frequency by a V/F converter 8 to form a fundamental clock which is, in turn, fed back to the drive circuit 2. By this method, the max. value of the sensor signal 101 is controlled so that the difference between the optimum reference value 6 and the output of the circuit 4 becomes min. to bring the output of the circuit 4 to the same value as the optimum reference value 6.



Data supplied from the esp@cenet database - Worldwide

8/8

⑯ 日本国特許庁(JP)

⑰ 特許出願公開

⑱ 公開特許公報(A)

昭63-204131

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和63年(1988)8月23日

G 01 M 11/02
G 01 J 1/44
H 04 N 5/335

A-2122-2G
P-7706-2G
Q-8420-5C

審査請求 未請求 発明の数 1 (全9頁)

⑥ 発明の名称 光電変換素子アレイの蓄積時間制御装置

⑪ 特 願 昭62-36439

⑫ 出 願 昭62(1987)2月19日

⑦ 発 明 者 中 村 泰 東京都渋谷区幡ヶ谷2丁目43番2号 オリnbas光学工業株式会社内

⑧ 出 願 人 オリnbas光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号

⑬ 代 理 人 弁理士 奈良 武

FP03-0399 -00WD-HP
04.3.9
SEARCH REPORT

明 細 書

1. 発明の名称

光電変換素子アレイの蓄積時間制御装置

2. 特許請求の範囲

- (1) 電荷蓄積型の光電変換素子アレイと、この光電変換素子アレイからの光電変換信号を時系列的に読出す駆動回路と、前記光電変換出力信号のピーク値を保持するピークホールド回路と、このピークホールド回路の出力ピーク値を一定時間保持するサンプルホールド回路と、一定出力に対応する基準値及び前記サンプルホールド回路の出力を比較する比較器と、この比較器の出力を積分する積分回路と、この積分回路の出力電圧に対応した周波数クロックを発生するV/Fコンバータとを備え、前記周波数クロックを前記駆動回路にフィードバックし、この周波数クロックにより前記光電変換素子アレイの蓄積時間を制御するようにしたことを特徴とする光電変換素子アレイの蓄積時間制御装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、光電変換素子アレイを使用するレンズのMTF(変調伝達関数)検査装置における光電変換素子の電荷蓄積時間制御装置に関するものである。

〔従来の技術〕

光電変換素子アレイとしては、ホトアレイセンサ、例えばCCDアレイセンサが通常使用されている。

MTF検査装置においては、複数のホトアレイセンサ上に被検レンズにより投影された像を形成し、被検レンズのMTF値を測定するようにしている。この際、各ホトアレイセンサの出力を最適化するためにホトアレイセンサの電荷蓄積時間を制御するようにしている。

従来、この種の蓄積時間制御装置としては、特開昭58-92837号公報に記載されているものがある。この特開昭58-92837号公報に記載の装置では、第7図に示すように読込み指示

信号102により新しい蓄積時間 T をレジスタ(ブレスケーラ)28にセットし、デクレメントカウンタ27にこの蓄積時間 T に対応したデータ104を与えてパルス105を得るとともに遅延型フリップフロップD-F・F31をセットする。信号102に続いてCCDセンサ20～22の読み出し開始指示信号100を発生し、これをフリップフロップD-F・F19に入力させてパルス107のタイミングで出力させることによりパルス105と同期した信号109を発生させる。次いで、フリップフロップD-F・F30によりパルス105のパルス間隔(蓄積期間1サイクル分)だけ遅延させた後、フリップフロップD-F・F30のQ出力によりフリップフロップD-F・F31をリセットし、フリップフロップD-F・F31のQ出力として信号112を得る。信号109及び112をANDゲート32へ入力させることにより新しい蓄積時間の1サイクル分経過後CCD読み出し開始信号108を発生し、実際の読み出し動作を開始する。カウンタ

3

ピーク値を保持するピークホールド回路と、このピークホールド回路の出力ピーク値を一定時間保持するサンプルホールド回路と、一定出力に対応する基準値及び前記サンプルホールド回路の出力を比較する比較器と、この比較器の出力を積分する積分回路と、この積分回路の出力電圧に対応した周波数クロックを発生するV/Fコンバータとを備え、前記周波数クロックを前記駆動回路にフィードバックし、この周波数クロックにより前記光電変換素子アレイの蓄積時間を制御するようにしたことを特徴とする。

図面につき本発明を説明する。

第1図に示す本発明光電変換素子アレイの蓄積時間制御装置は、ホトアレイセンサ1の出力側を駆動回路2に接続し、この駆動回路2のセンサ信号出力側をピークホールド回路3及びサンプルホールド回路4を経て比較器5の一方の入力側に接続し、且つ、前記駆動回路2のフレームパルス出力側を前記ピークホールド回路3及びサンプルホールド回路4に夫々接続し、前記比較器5の出

27に供給する信号101はCCDセンサ20～22のシフトクロックパルスとする。

〔発明が解決しようとする問題点〕

かかる従来の装置においては、蓄積時間をセットする操作(信号103)が必要となり、最適な蓄積時間を決定するためには、制御プログラムなどで最適蓄積時間の決定を行なう必要がある。その理由はCCD入射光量をあらかじめ知る事ができない為である。

本発明は、上記問題点を解決し最適値のホトアレイセンサ出力が得られるように自動的に蓄積時間を制御する装置即ち光量に変化しても一定の出力が得られるように自動的に蓄積時間を制御し得るようにした光電変換素子アレイの蓄積時間制御装置を提供することを目的とする。

〔問題点を解決するための手段及び作用〕

本発明、光電変換素子アレイの蓄積時間制御装置は、電荷蓄積型の光電変換素子アレイと、この光電変換素子アレイからの光電変換信号を時系列的に読出す駆動回路と、前記光電変換出力信号の

4

力側を積分器7を経てV/F(電圧/周波数)コンバータ8に接続し、このV/Fコンバータ8の出力側を前記駆動回路2にフィードバックするようにして構成する。又、比較器5の他方の入力側には一定出力に対応する最適基準値の電圧を供給する。

ホトアレイセンサ1と駆動回路2との動作タイミングを第2図に示す。

かように構成した本発明光電変換素子アレイの蓄積時間制御装置の作動は次の通りである。

ホトアレイセンサ1は駆動回路2により駆動されセンサ信号101(第2図)を発生する。このセンサ信号101のピーク値を得るために、駆動回路2からのフレームパルス102に同期してピークホールド回路3とピーク値を1フレーム保持するサンプルホールド回路4とをリセットする。サンプルホールド回路4は、1フレーム分のピークが確定するまで前フレームの値を保持するために用いる。サンプルホールド回路4の出力を比較器5で最適基準値6と比較し、その偏差を積

分器7に供給する。最適基準値6は、例えば、ホトアレイセンサ1の出力範囲の80%に設定する。積分器7で時間的に積分された偏差電圧をV/Fコンバータ8で周波数に変換してホトアレイセンサ1の基本クロック103を形成し、これを駆動回路2にフィードバックする。この基本クロック103はホトアレイセンサ1の蓄積時間を決めるために重要である。かように本発明では、V/Fコンバータ8を用いて閉ループを構成し、この閉ループによって最適基準値6とサンプルホールド回路4の出力との差が最小になるようにセンサ信号101の最大値が制御して最適基準値6と同じ値になるようにしている。

第2図に波形を示す。センサ信号101はホトアレイセンサ1の受光量に比例し出力される時系列信号である。又、フレームパルス102はセンサ信号の1周期に対応するパルスであり、この1周期が蓄積時間となり、この時間を長くとるとセンサ信号は大きくなり短くとるとセンサ信号は小さくなる。

7

イブレータなどで構成し、フレームパルス102の立ち下がりを検出し、スイッチSW₁にリセットパルスを供給する。サンプルホールド回路4はバッファB₂、スイッチSW₂、ホールドH₂で構成し、バッファB₂は、例えば、OPアンプで構成し、これによりピークホールド回路3からの信号をインピーダンス変換する。ホールドH₂はコンデンサなどで構成し、これにより電圧を一定時間蓄えるようにする。スイッチSW₂は、リレー又はアナログスイッチで構成し、パルス検出器12の出力で開閉し得るようにする。パルス検出器12はモノマルチバイブレータなどで構成し、これによりフレームパルスの立ち上がりを検出してスイッチSW₂へ信号を供給する。基準電圧発生器10は、抵抗あるいはツェナーダイオードなどで構成し、これにより、一定電圧を発生する。演算積分器9は、OPアンプOP1及び積分コンデンサCなどで構成し、サンプルホールド4からの信号と基準電圧発生器10からの信号とを、抵抗R₁及びR₂で比較且つ加算し、さらに

9

(第1実施例)

次に本発明光電変換素子アレイの蓄積時間制御装置の第1実施例を第3図により示す。

本例では第1図に示す回路素子のうち特にピークホールド回路3、サンプルホールド回路4、比較器5及び積分器7についてその構成を詳細に示す。

ホトアレイセンサ1は例えばCCDセンサなどのデバイスとし、駆動回路2は、ホトアレイセンサ1に必要なタイミングパルスなどを発生する。ピークホールド回路3はバッファB₁、ダイオードD、ホールドH₁、スイッチSW₁で構成する。バッファB₁は例えばOPアンプで構成し、センサ信号101をインピーダンス変換する。ダイオードDは順方向電流しか流れない素子とし、ホールドH₁はコンデンサなどで構成し、これにより電圧を一定時間蓄えるようにする。スイッチSW₁は、リレー又はアナログスイッチで構成し、これにより、ホールドH₁の電圧をリセットする。パルス検出器11は、モノマルチバ

8

積分する機能を有する。V/Fコンバータは、電圧に対応した周波数パルスを出力する機能を有し、演算積分器9からの電圧に対応した基本クロック103を発生する。

かように構成した本発明蓄積時間制御装置の動作は次に示す通りである。

ホトアレイセンサ1は駆動回路2により駆動されセンサ信号101を発生する。フレームパルス102の1フレームにおいてセンサ信号101が最大になる値を求めるためにパルス検出器11の出力によってピークホールド回路3をリセットする。ピークホールド回路3は1フレームの最後でピークが決定されるため、サンプルホールド回路4により1フレーム前のピーク値を保持する必要がある。この保持のタイミングはパルス検出器12で行なう。パルス検出器11及びパルス検出器12によってサンプルホールド回路4を保持した後、ピークホールド回路3をリセットする必要がある。従って、パルス検出器11によってフレームパルス102の立ち下がリエッジの検出を行

10

ない、且つパルス検出回路2によって立ち上がりエッジの検出を行なうようにする。サンプルホールド回路4から得られる前記センサ信号101が最大になる値を一定値にするために基準電圧発生器10からの信号(基準値)とサンプルホールド回路4からの信号とを演算積分器9によって減算(演算積分器9は加算器であるが基準電圧発生器10の出力をマイナスにすれば減算になる)し、その偏差を時間で積分し、更に、 V/F コンバータ8で電圧・周波数変換して基本クロック103を発生するようにしている。この基本クロック103を駆動回路2にフィードバックすることによりサンプルホールド回路4からの信号が基準電圧発生器10からの信号と等しくなるようにする。

これがため、本発明によれば、ホトアレイセンサ1からの信号を自動的に一定にすることができる。

ピークホールド回路3は、バッファ2個及びダイオード2個により構成することもできる。ま

1 1

(第3実施例)

次に、第5図につき本発明の第3実施例を説明する。第1及び第2実施例では、比較器5及び積分器7でアナログ信号を処理したが本例ではこれら回路素子5及び7でデジタル信号を処理する。即ち比較器として A/D 変換用の比較器16を用い、その出力側にカウンタ14を接続し、このカウンタ14の出力側にデジタル量/周波数(D/F)変換器19を接続し、その出力側を駆動回路2に接続する。またカウンタ14のクロック入力端子には駆動回路2のフレームパルス102を供給する。 D/F 変換器19は D/A コンバータ15及び V/F コンバータ8で構成する。従って、本例では積分器7をカウンタ14で構成する。比較器16はサンプルホールド回路4の信号と基準電圧発生器10の信号とを比較し、その大小を判断し、それに対応した2値の出力(デジタル量)をカウンタ14に供給する。カウンタ14はアップ・ダウンカウンタで構成し、比較器16からの信号に従って、カウンタ値のアップ・

1 3

た、サンプルホールド回路4もバッファを2個用い帰還ループに構成することができる。

(第2実施例)

次に第4図により本発明の第2実施例を説明する。本例では基準電圧発生器10の構成が第3図の第1実施例と相違するだけで、その他の構成は第1実施例と同一であり、従って、その説明を省略し、相違する部分だけを説明する。即ち、 D/A コンバータ13はデジタル量をアナログ量に変換する機能を有し、 $DATA$ バスから与えられたデジタル量を基準電圧としてアナログ量で出力するようにしている。

本例では、基準電圧を外部より設定できるようにするために D/A コンバータ13を用いこれにより演算積分器9の入力信号を形成するようにしている。その他の作用は第1実施例と全く同じである。これがため、ホトアレイセンサ1からのセンサ信号101を外部よりデジタル制御することができる。デジタル量はセンサ信号102に対応した電圧で示す事ができる。

1 2

プ・ダウン計数を行なう。このアップ・ダウンのタイミングはフレームパルス102により行なう。ここで計数された値は、 D/A コンバータ15でデジタル量からアナログ量に変換し、 V/F コンバータ8に供給する。その他の構成は第1実施例と全く同様である。

本例では、基準電圧発生器10の基準電圧とサンプルホールド回路4のセンサ信号101の最大値を比較するためにこの両者を比較器16に供給しその大小を判断する。この判断に従って、カウンタ14の積分動作を行なわせるためにカウンタ14のアップ・ダウン計数切換入力側に比較器16の信号を供給する。計数動作はフレームパルス102により行なう。計数値はこれをアナログ量に変換するために D/A コンバータ15に供給し、その出力を V/F コンバータ8に供給する。

上述したように、本例では積分動作をフレームパルスに同期したデジタル回路で行なっている。その他の作用は第1実施例と同様である。

1 4

本例によれば、積分コンパレータの時定数を設定する必要がなくなり、動作範囲が著しく拡大する。

D/F変換器19は第3実施例では、V/Fコンバータ8とD/Aコンバータ15とで構成したが、これをクロック発生器とカウンタとの構成で簡単に置換えすることができる。

(第4実施例)

最後に、第6図により本発明の第4実施例を説明する。本例では、第5図に示す第3実施例の比較器16とカウンタ14との間にフリップフロップ17及びAND回路18を設ける点が第3実施例とは相違する。即ちフリップフロップ17は、R・Sフリップフロップなどで構成し、比較器16からの大小信号の立ち上がり及び立ち下がり でセット(リセット)され、外部からのトリガー104でリセット(セット)されるようにする。フリップフロップ17の出力はAND回路18の一方の入力側に供給する。AND回路18はフレームパルス102をフリップフロップ17のオン

・オフし、カウンタ14に供給する。その他の構成は第3実施例と全く同一である。

本例ではカウンタ14のカウンタ動作入力(c k)を外部から制御されるトリガー104で制御するためにフリップフロップ17によってトリガー104でセット後比較器16からの一致信号でリセットされるまで信号を発生する。AND回路18ではこの信号でゲートをオン・オフし、これによりフレームパルス102を制御している。比較器16からの一致信号によってそのパルスの立ち上がり及び立ち下がりを検知すれば良く、全体の動作はトリガー104が入った時点のみホトアレイセンサ1の出力を一定にし、その後はその時点での基本クロック(蓄積時間)を保持し得るようにする。その他の構成は第3実施例と全く同一である。

本例によれば、必要時だけ蓄積時間を変更することができ、従って蓄積時間の変動が問題となるシステムに使用することができる。

[発明の効果]

15

上述した所から明らかなように本発明によればホトアレイセンサの蓄積時間を制御することによって一定出力を得る装置において、外部より蓄積時間を設定することなく所望の一定出力電圧を得る事ができる。

4.図面の簡単な説明

第1図は、本発明光電変換素子アレイの蓄積時間制御装置の原理を示すブロック図、

第2図は、ホトアレイセンサと駆動回路との動作タイミングを示す波形図、

第3図は本発明光電変換素子アレイの蓄積時間制御装置の第1実施例を示す接続回路図、

第4図、第5図及び第6図は同じくその第2、第3実施例及び第4実施例を夫々示す接続回路図、

第7図は従来の光電変換素子アレイの蓄積時間制御装置の構成を示す接続回路図である。

1…光電変換素子アレイ
(ホトアレイセンサ)

2…駆動回路

16

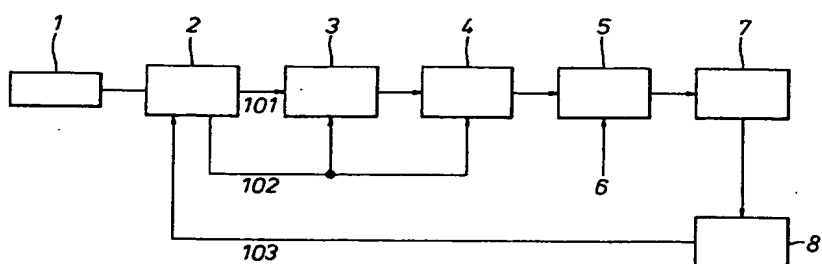
- 3…ピンクホールド回路
- 4…サンプルホールド回路
- 5, 16…比較器
- 6…基準値
- 7…積分器
- 8…V/Fコンバータ
- 9…演算積分器
- 10…基準電圧発生器
- 11, 12…パルス検出器
- 13…D/Aコンバータ
- 14…カウンタ
- 15…D/Aコンバータ
- 17…フリップフロップ
- 18…AND回路
- 19…D/F変換器

特許出願人 オリンパス光学工業株式会社

代理人 井理士 奈 良 武

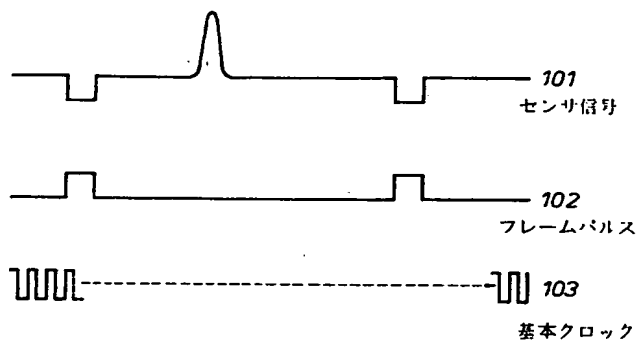


第 1 図

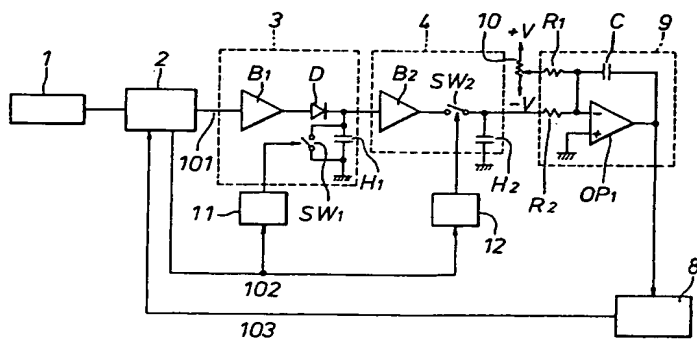


1. 光電変換素子アレイ
(ホトアレイセンサ)
2. 駆動回路
3. ピンクホールド回路
4. サンプルホールド回路
5. 比較器
6. 基準値
7. 積分器
8. V/Fコンバータ

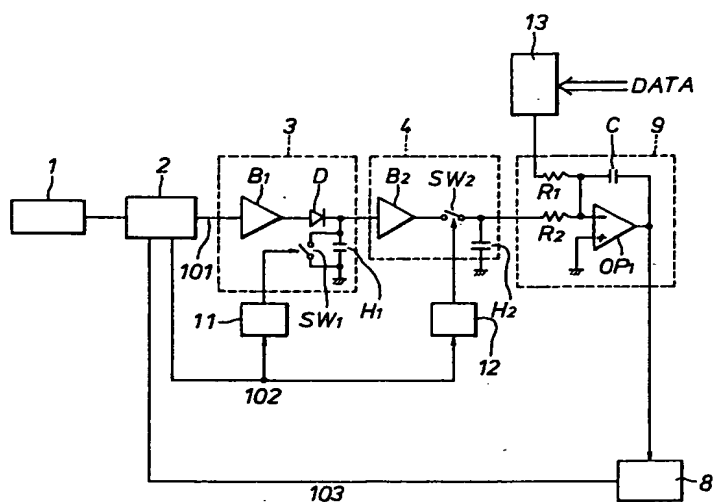
第 2 図



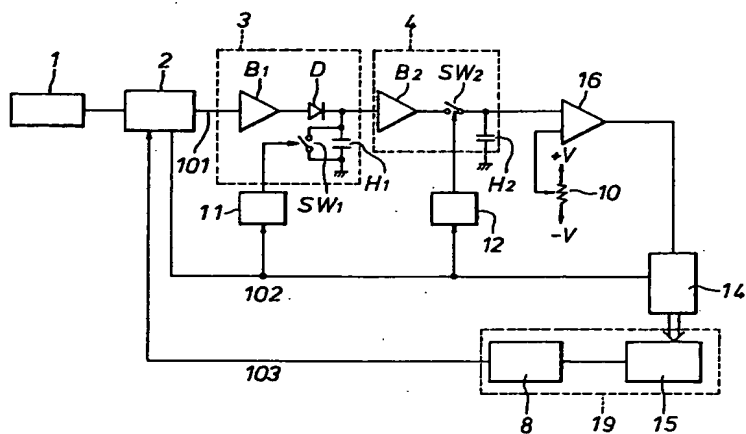
第 3 図



第 4 図



第 5 図



BEST AVAILABLE COPY

手続補正書 (自発)

昭和62年5月26日

特許庁長官 黒田 明雄 殿

適

1. 事件の表示

昭和62年特許願第36439号

2. 発明の名称

光電変換素子アレイの蓄積時間制御装置

3. 補正をする者

事件との関係 特許出願人

住 所 東京都渋谷区幡ヶ谷2丁目43番2号

名 称 (037)オリンパス光学工業株式会社
代 表 者 下山 敏郎

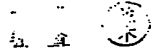
4. 代理人

住 所 東京都港区浜松町2丁目2番15号
浜松町ダイヤハイッ706号

氏 名 (8942)弁理士 奈良 武

5. 補正の対象

- (1) 明細書の「特許請求の範囲」の欄
(2) 明細書の「発明の詳細な説明」の欄



別 紙

2. 特許請求の範囲

- (1) 電荷蓄積型の光電変換素子アレイと、この光電変換素子アレイからの光電変換信号を時系列的に読出す駆動回路と、前記光電変換出力信号のピーク値を保持するピークホールド回路と、このピークホールド回路の出力ピーク値を一定時間保持するサンプルホールド回路と、一定出力に対応する基準値及び前記サンプルホールド回路の出力を比較する比較器と、この比較器の出力を積分する積分回路と、この積分回路の出力電圧に対応した周波数クロックを発生するV/Fコンバータとを備え、前記周波数クロックを前記駆動回路にフィードバックし、この周波数クロックにより前記光電変換素子アレイの蓄積時間を制御するようにしたことを特徴とする光電変換素子アレイの蓄積時間制御装置。

6. 補正の内容

- (1) 明細書の特許請求の範囲を別紙の通り補正する。
(2) 明細書第4頁第15行目に記載する「提供」を「提供すること」と補正する。
(3) 明細書第13頁第14行目に記載する「カウンタ14」を「カウンタ14」と補正する。

7. 添付書類の目録

- (1) 別 紙 1 通

2

BEST AVAILABLE COPY